

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平3-256358

⑬ Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月15日

H 01 L 27/108  
27/04C 7514-5F  
8624-5F

H 01 L 27/10 3 2 5 C

審査請求 未請求 請求項の数 10 (全7頁)

⑮ 発明の名称 半導体記憶装置およびその製造方法

⑯ 特 願 平2-54533

⑰ 出 願 平2(1990)3月6日

⑱ 発 明 者 鳥 居 和 功 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 加 賀 徹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 武 田 英 次 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 中村 純之助 外1名

## 明 細 書

## 1. 発明の名称

半導体記憶装置およびその製造方法

## 2. 特許請求の範囲

1. 1つのスイッチ用トランジスタと、1つの電荷蓄積容量を有するメモリセルを含んでなり、かつ、上記電荷蓄積容量の誘電体膜として強誘電体物質を用いた半導体記憶装置の製造方法において、上記スイッチ用トランジスタを形成した半導体基板上を絶縁物質で覆って、下地段差を平坦化する工程と、その後、上記絶縁物質にコンタクトホールを穿設する工程と、その後、上記コンタクトホール内部を導電物質で埋め込む工程と、その後、上記平坦表面上に下部電極を形成する工程と、その後、上記下部電極上に強誘電体膜を形成する工程とを含むことを特徴とする半導体記憶装置の製造方法。
2. 上記スイッチ用トランジスタを形成した半導体基板上を絶縁物質で覆って下地段差を平坦化する前に、該スイッチ用トランジスタの不純物

ドーブ層上に導体層を設け、その後、平坦化することを特徴とする請求項1記載の半導体記憶装置の製造方法。

3. 上記導電物質が多結晶シリコンであることを特徴とする請求項1記載の半導体記憶装置の製造方法。
4. 上記下部電極が白金であることを特徴とする請求項1または2記載の半導体記憶装置の製造方法。
5. 上記下部電極が金、銅、タングステンあるいは、Cu、Auであることを特徴とする請求項1または2記載の半導体記憶装置の製造方法。
6. 上記下部電極がタングステンシリサイド(WSi<sub>2</sub>)、ジルコニウムシリサイド(ZrSi<sub>2</sub>)あるいは、モリブデンシリサイド(MoSi<sub>2</sub>)であることを特徴とする請求項1または2記載の半導体記憶装置の製造方法。
7. 上記強誘電体膜を、高周波マグネトロンスパッタ法により形成することを特徴とする請求項1、2、3、4または5記載の半導体記憶装置

の製造方法。

8. 上記強誘電体膜を、CVD法あるいはMOCVD法により形成することを特徴とする請求項1、2、3、4または5記載の半導体記憶装置の製造方法。
9. 上記強誘電体膜を、ゾルーゲル法により形成することを特徴とする請求項1、2、3、4または5記載の半導体記憶装置の製造方法。
10. 1つのスイッチ用トランジスタと、1つの電荷蓄積容量を有するメモリセルを含んでなり、かつ、上記電荷蓄積容量の絶縁膜として強誘電体物質を用いた半導体記憶装置において、上記スイッチ用トランジスタが形成された半導体基板上を覆い下地段差を平坦化する絶縁物質と、該平坦表面上に形成された下部電極と強誘電体膜を有することを特徴とする半導体記憶装置。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置およびその製造方法に係り、特に、電荷蓄積容量の絶縁膜として強誘電体

キャパシタを用いた半導体記憶装置およびその製造方法に関する。

(従来の技術)

従来の強誘電体キャパシタを用いたメモリについては、アイ・エス・エス・シー・シー・89 (1989年) 第242~243頁 (ISSC89, 1989, pp.242-243) に論じられている。

(発明が解決しようとする課題)

上記従来技術では、加工寸法が $3\mu\text{m}$ 、セルサイズが $11\times 21\mu\text{m}^2$ と大きく、強誘電体キャパシタはゲート電極上の平坦な部分に形成されている。

一方、DRAM (ダイナミック ランダム アクセス メモリ (Dynamic Random Access Memory)) では3年で4倍のペースで高集積化を実現してきており、既にメガビットメモリの量産が始まっている。この高集積化は主に素子の微細化によって行われてきた。しかし、微細化に伴う蓄積容量の減少のために信号対雑音 (SN) 比の低下や、 $\alpha$ 線の入射による信号反転等の弊害が顕在化し、信頼性の確保が大きな問題となっている。

このため、従来の基板表面のみを蓄積容量として利用する平面型のセルに変わって、特公昭61-55528号公報に記載されているような、蓄積容量の一部をスイッチ用トランジスタや素子間分離酸化膜の上に積み上げた積層容量型セル (STC: スタックド キャパシタ (S Tacked Capacitor)) が用いられている。

さらに、微細なセル面積を実現するためのSTC構造として、実開昭55-178894号公報に述べられているものや、アイ・エス・ディ・エム・88 (1988年) 第596~599頁 (ISDM88, 1988, pp.596-599) に述べられているものがある。

第2図、第3図は、それぞれの平面レイアウトを示したものである。これらSTC構造ではビット線を蓄積電極よりも先に形成するため、蓄積容量の面積を大きく取ることができる。反面、蓄積容量の絶縁膜を、ワード線、ビット線、素子間分離酸化膜などによる段差上に形成することになる。ところが、強誘電体薄膜は、このような段差上に形成することは困難であり、このため、強誘電体

を蓄積容量の絶縁膜に用いて超高集積メモリを実現することは、非常に困難である。

本発明の目的は、強誘電体薄膜を用いたSTC型超高集積メモリを提供することにある。

(課題を解決するための手段)

ワード線、ビット線、素子間分離酸化膜などによる段差を絶縁物質で覆うことにより平坦化し、その後、この平坦面上に、強誘電体薄膜を用いた蓄積容量部を形成することを要旨とする。

すなわち、本発明の半導体記憶装置の製造方法は、1つのスイッチ用トランジスタと、1つの電荷蓄積容量を有するメモリセルを含んでなり、かつ、上記電荷蓄積容量の誘電体膜として強誘電体物質を用いた半導体記憶装置の製造方法において、上記スイッチ用トランジスタを形成した半導体基板上を絶縁物質で覆って、下地段差を平坦化する工程と、その後、上記絶縁物質にコンタクトホールを穿設する工程と、その後、上記コンタクトホール内部を導電物質で埋め込む工程と、その後、上記平坦表面上に下部電極を形成する工程と、そ

の後、上記下部電極上に強誘電体膜を形成する工程とを含むことを特徴とする。

また、本発明の半導体記憶装置は、1つのスイッチ用トランジスタと、1つの電荷蓄積容量を有するメモリセルを含んでなり、かつ、上記電荷蓄積容量の絶縁膜として強誘電体物質を用いた半導体記憶装置において、上記スイッチ用トランジスタが形成された半導体基板上を覆い下地段差を平坦化する絶縁物質と、該平坦表面上に形成された下部電極と強誘電体膜を有することを特徴とする。

〔作用〕

本発明の半導体記憶装置では、蓄積電極部を平坦面に形成することにより、強誘電体薄膜を蓄積電極部に用いた微細なメモリセルを実現できる。

また、本発明の半導体記憶装置の製造方法では、強誘電体薄膜を蓄積電極部に用いた微細なメモリセルを実現できると共に、下部電極も平坦面上に形成することになるので、スパッタ法などの段差被覆性の低い方法を用いても容易に形成できる。また、強誘電体薄膜の形成を、スイッチ用トラン

ジスタの形成と切り離して行うことができるので、Si界面損傷等の問題を回避できる。

なお、本発明の構造は、強誘電体の分極を反転させないDRAMにも、分極を反転させる不揮発性のメモリにも用いることが可能である。

〔実施例〕

実施例 1

第1図は、本発明の第1の実施例のSTC型メモリの断面図である。1は第1導電型半導体基板、2は素子間分離酸化膜、3はゲート酸化膜、4はワード線、5、7、8、10は層間絶縁膜、6は第2導電型不純物拡散層、8はビット線、12は平坦化用絶縁膜、11、13はメモリ部コンタクトプラグ、14は下部電極、15は強誘電体薄膜、16はプレート電極である。

本実施例でのビット線形成までの工程は、従来と何ら変わるところはない。本実施例では、従来のようにワード線4、ビット線8、素子間分離酸化膜2などによる段差上に直接、蓄積容量部を形成するのではなく、スイッチ用トランジスタおよ

び、ビット線8を形成した後、絶縁膜12で覆って平坦化した上に、蓄積容量部（下部電極14、強誘電体薄膜15、プレート電極16）を形成した構造を用いる。この断面図では、ソース・ドレインは、単純な不純物拡散層構造となっているが、公知の電界緩和型のソース・ドレイン不純物拡散層構造にすることも可能である。なお、プレート電極15の上に図示しない層間絶縁膜を形成し、A1などが配線されるが、ここでは省略してある。

実施例 2

本実施例では、第2図に示した平面レイアウトを用いた。21はスイッチ用トランジスタのチャネル領域や不純物拡散層が作られるアクティブ領域、4はスイッチ用トランジスタのゲート電極となるワード線、23はビット線8と基板の拡散層を接触させるためのコンタクト孔、25は蓄積容量下部電極と拡散層を接続するためのメモリ部コンタクト孔、8はビット線である。判り易くするため、メモリ部コンタクト孔25の上に配置される蓄積容量下部電極や、プレート電極は省略して

ある。

まず、第4図(a)に示したように、スイッチ用トランジスタを公知のMOSFET形成工程により形成する。ここで、1は第1導電型半導体基板、2は素子間分離絶縁膜、3はゲート酸化膜、4はワード線、5は層間絶縁膜、6は第2導電型不純物拡散層（例えば、n型の場合、ヒ素、リン等）である。

次に、第4図(b)のように、表面全体に公知のCVD法を用いて絶縁膜41を堆積させ、ビット線が基板の拡散層と接触する部分のみ、公知のホトリソグラフィ法とドライエッチング法を用いて開口する。この絶縁膜は、次の工程でビット線を加工する際の下地となり、基板表面が露出したり、素子間分離絶縁膜が削られるのを防ぐ働きがある。膜厚はビット線加工時の下地との選択比で決まる。本実施例では、20～100nmとした。

次に、第4図(c)のようにビット線8を形成する。ビット線の材料としては、金属のシリサイドと多結晶シリコンの積層膜やタングステンを用

いた。この上に、BPSGなどのシリコン酸化膜系の絶縁膜12をCVD法等により堆積させ、平坦化する。この絶縁膜は、下の段差を埋めて平坦化するのに十分な膜厚とする必要がある。本実施例では、膜厚を500~1000nmとした。なお、段差上にCVD法により $\text{SiO}_2$ を堆積し、エッチバック法により平坦化する方法を用いても良い。

次に、第4図(d)のように公知のホトリソグラフィ法とドライエッチング法を用いて蓄積容量部が基板と接触するメモリ部コンタクト孔42を開口する。このコンタクト孔を導電性物質43で埋める。本実施例では、公知のCVD法を用いて多結晶シリコンを選択的に成長させた後、不純物拡散層と同じ導電型の不純物を拡散する方法を用いたが、タングステンを用いても良い。

次に、第4図(e)のように下部電極14を形成する。本実施例では、DCスパッタ法を用いて厚さ約1000ÅのPt膜を被着した。フォトリソマスクを用いたスパッタエッチング法によりパターンニングした後、この表面に強誘電体薄膜

15を形成する。本実施例では、高周波マグネトロンスパッタ法により、厚さ約50nmの $\text{PbTiO}_3$ を形成したが、強誘電体膜としては $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ 等を用いてもよい。また、強誘電体膜の形成方法としては、公知のゾルゲル法やCVD法、MOCVD法等を用いてもよい。次に、プレート電極16を被着し、メモリセルの蓄積容量部を完成させる。最後に、層間絶縁膜を形成し、その上にA1配線を作り、メモリセルを完成する。

### 実施例3

本実施例では、第3図に示した平面レイアウトを用いた。ここで、31はスイッチ用トランジスタのチャネル領域や不純物拡散層が作られるアクティブ領域であり、4はスイッチ用トランジスタのゲート電極となるワード線、33はビット線8と基板の拡散層を接触させるためのコンタクト孔、35は蓄積容量下部電極14と拡散層を接続するためのメモリ部コンタクト孔、16はプレート電極である。

この平面レイアウトでは、アクティブ領域がワード線・ビット線に対して斜めに配置されているため、その断面図としては、同一のアクティブ領域内にある二つのメモリコンタクト孔35の中心を結ぶ線で切ったものを用いる。

本実施例では、第5図(a)のように、第2の実施例と同じ方法でビット線を被着した後、この上に、絶縁膜9を被着する。そして、この絶縁膜と一緒にビット線を加工する。さらに絶縁膜10を堆積させ、公知のドライエッチ法を用いることにより先の加工で露出したビット線の側壁を覆う。こうすると、メモリ部コンタクト孔35を開口する領域は、絶縁されたワード線と絶縁されたビット線に囲まれるようになり、メモリコンタクト領域が自己整合的に形成される。次に、メモリコンタクト領域の露出した拡散層の上にのみ、選択的に導体層11を成長させる。本実施例では、公知のCVD法を用いて多結晶シリコンを選択的に成長させ、不純物拡散層と同じ導電型の不純物を拡散した(第5図(b))。

第1の実施例(第4図(d))では、ワード線の間の狭い領域に深いメモリコンタクト孔を形成する必要がある。孔が合わせずれによってワード線上にずれると、孔形成時に、下層のワード線が露出する危険がある。そこで本実施例のように、拡散層領域を持ち上げる(導体層11を設ける)ことによって、コンタクト孔を開口する際の加工が容易になる。

第5図(b)以降は、絶縁膜で平坦化を行なった後、蓄積容量部、および、配線を形成して、第1図に示したような、メモリセルを完成する。

以上、本発明を実施例に基づき具体的に説明したが、本発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

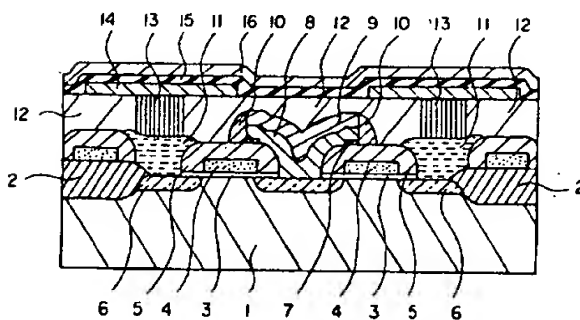
### 【発明の効果】

以上説明したように本発明によれば、段差被覆性が悪く、薄膜化の難しい強誘電体を用いて、微細なメモリセルを形成することが可能となり、ギガビットレベルのメモリも実現可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例のメモリセルの断面図、第2図は従来および本発明の別の実施例のSTC型DRAMセルの平面図、第3図は従来および本発明の別の実施例のSTC型DRAMセルの第2の平面図、第4図(a)～(d)は本発明の一実施例の製造工程図、第5図(a)、(b)は本発明の別の実施例の製造工程図である。

- 1…第1導電型半導体基板
- 2…素子間分離酸化膜
- 3…ゲート酸化膜
- 4…ワード線
- 5、7、9、10…層間絶縁膜
- 6…第2導電型不純物拡散層
- 8…ビット線
- 11、13…メモリ部コンタクトプラグ
- 14…下部電極
- 15…強誘電体薄膜
- 16…プレート電極
- 21、31…アクティブ領域

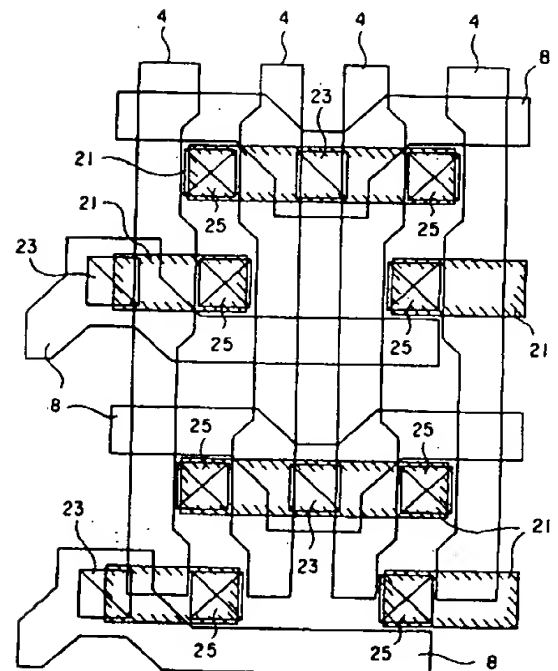


- 1-----第1導電型半導体基板
- 2-----素子間分離酸化膜
- 3-----ゲート酸化膜
- 4-----ワード線
- 5,7,9,10---層間絶縁膜
- 6-----第2導電型不純物拡散層
- 8-----ビット線
- 12-----平坦化用絶縁膜
- 11,13-----メモリ部コンタクトプラグ
- 14-----下部電極
- 15-----強誘電体薄膜
- 16-----プレート電極

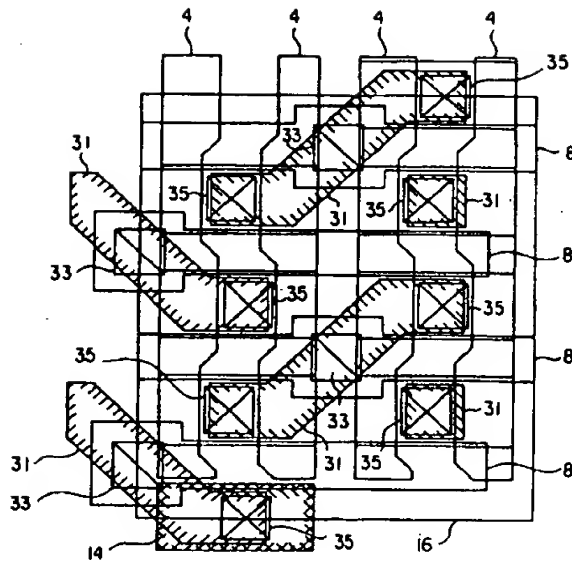
第1図

- 23、33…コンタクト孔
- 25、35、42…メモリ部コンタクト孔
- 41…絶縁膜
- 43…導電性物質

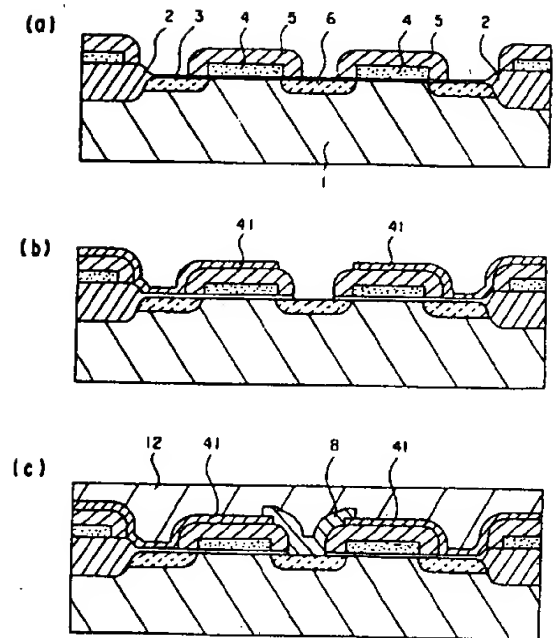
代理人弁理士 中村純之助



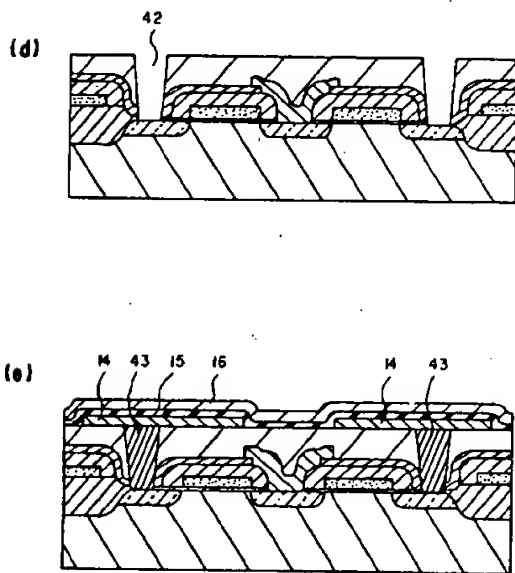
第2図



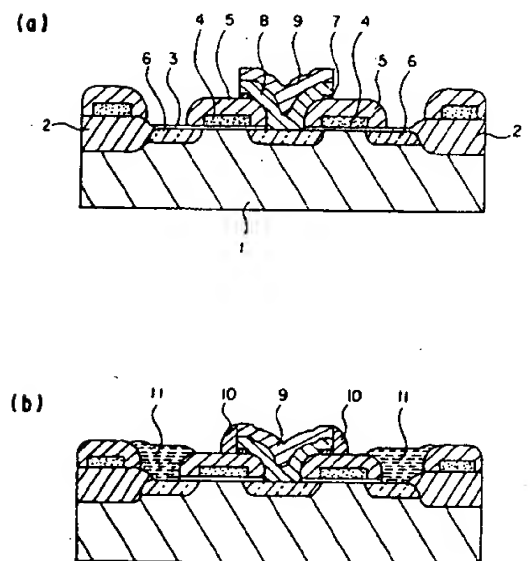
第 3 図



第 4 図



第 4 図



第 5 図

手 続 補 正 書 (方式)

平成 2 年 6 月 2 9 日

特許庁長官 殿

1. 事件の表示 平成 2 年特許願第 5 4 5 3 3 号  
2. 発明の名称 半導体記憶装置およびその製造方法

3. 補正をする者  
事件との関係 特許出願人

名 称 (510) 株式会社 日立製作所

4. 代 理 人  
住 所 (〒100) 東京都千代田区丸の内一丁目 5 番 1 号  
新丸ノ内ビルディング 3 階 44 区 (電話 214-0502)  
氏 名 (6835) 弁護士 中 村 純 之 助

5. 補正命令の日付 平成 2 年 6 月 2 6 日

6. 補正の対象 明細書の図面の簡単な説明の欄

7. 補正の内容 明細書第 15 頁第 6 行の「第 4 図 (a) ~ (d)」を「第 4 図 (a) ~ (e)」に訂正する。

式  
番 査

